

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**EP-698968 A**

The method involves using a relatively inaccurate working frequency generator (FWORK) whose output is converted by frequency synthesiser (FSYN) to a more accurate frequency. An external reference signal (FE) is input to an operational frequency estimation circuit (FB) which frequency-normalises the signal before outputting it to a digital phase locked loop (DPLL).

The DPLL output frequency (SIP) is synchronised with (FNOR), and is fed to an analogue phase locked loop (APLL), whose output is divided by a frequency divider (FT) which is included in its feedback loop to provide the final output (FA).

**ADVANTAGE** - The circuit has low phase jitter and is resistant to fluctuations in reference frequency. High level of integration among constituent elements. (Dwg.1/3)

**EP Equiv. Abstract :**

**EP-698968 B**

The method involves using a relatively inaccurate working frequency generator (FWORK) whose output is converted by frequency synthesiser (FSYN) to a more accurate frequency. An external reference signal (FE) is input to an operational frequency estimation circuit (FB) which frequency-normalises the signal before outputting it to a digital phase locked loop (DPLL).

The DPLL output frequency (SIP) is synchronised with (FNOR), and is fed to an analogue phase locked loop (APLL), whose output is divided by a frequency divider (FT) which is included in its feedback loop to provide the final output (FA).

**ADVANTAGE** - The circuit has low phase jitter and is resistant to fluctuations in reference frequency. High level of integration among constituent elements.



DEUTSCHES  
PATENTAMT

12 Patentschrift  
10 DE 44 31 415 C 2

51 Int. Cl. 6:  
H 03 L 7/06  
G 06 F 1/12  
H 04 L 7/00

21 Aktenzeichen: P 44 31 415.9-35  
22 Anmeldetag: 24. 8. 94  
23 Offenlegungstag: 29. 2. 96  
45 Veröffentlichungstag  
der Patenterteilung: 23. 1. 97

DE 4431415 C2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:

DeTeWe-Deutsche Telephonwerke AG & Co, 10997  
Berlin, DE

72 Erfinder:

Egbers, Jochen, 12247 Berlin, DE; Goerge, Rainer,  
12161 Berlin, DE; Huhn, Karl-Eckardt, 13485 Berlin,  
DE; Riehm, Nikolaus, 22359 Hamburg, DE

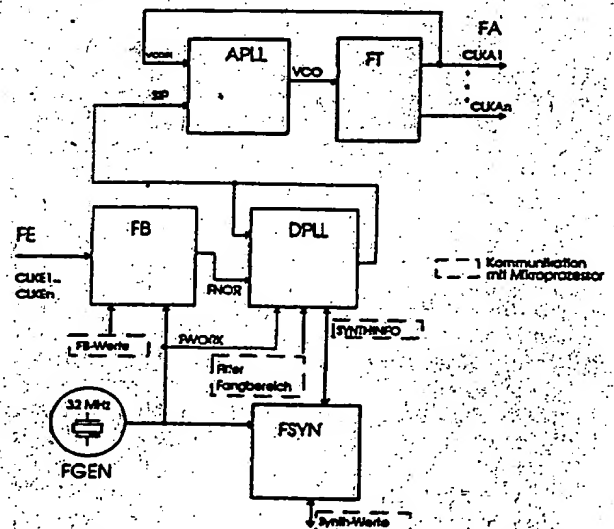
56 Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

DE 42 18 132 C2  
DE 40 18 911 A1  
DE 40 01 065 A1  
US 49 53 185  
US 48 72 299  
US 45 98 257  
US 44 08 327  
US 41 31 861

ERNST, W. u. HARTMANN, H.L. »Neue Takt-  
generatoren für EWSD«. In: telecom report H.4, 1986,  
S.263-269;  
D. BOCKER: ISDN, Springer-Verlag, 1986, S.191;

54 Verfahren zum Synchronisieren der Ausgangsfrequenzen eines Taktgenerators

57 Verfahren zum Synchronisieren der Ausgangsfrequenzen eines Taktgenerators einer Anlage auf externe Eingangsfrequenzen hoher Genauigkeit, dadurch gekennzeichnet, daß ein Frequenzgenerator (FGEN) eine relativ ungenaue Arbeitsfrequenz (FWORK) an einen Frequenzsynthesizer (FSYN), einen Frequenzbewerter (FB) und einen digitalen Phasenregelkreis (DPLL) liefert, daß der Frequenzsynthesizer (FSYN) zusammen mit dem digitalen Phasenregelkreis (DPLL) und einem steuernden Mikroprozessor die Arbeitsfrequenz (FWORK) im Vergleich zu genauen Eingangsfrequenzen (FE) bewertet, wobei die externen Eingangsfrequenzen (FE) in eine Normfrequenz (FNOR) umgewandelt werden und die vom digitalen Phasenregelkreis (DPLL) ausgegebene Signalfrequenz (SIP) synchron zur Normfrequenz (FNOR) geregelt wird, und daß ein Frequenzteiler (FT) die systeminternen Ausgangsfrequenzen (FA) erzeugt, wobei ein vorgeschalteter analoger Phasenregelkreis (APL) Korrekturen an der Signalfrequenz (SIP) vornimmt, die dem Verhindern von Zeitsprüngen der Ausgangsfrequenzen (FA) dienen.



DE 4431415 C2

## Beschreibung

Die Erfindung betrifft ein Verfahren zum synchronisieren der Ausgangsfrequenzen eines Taktgenerators einer Anlage auf externe Eingangsfrequenzen hoher Genauigkeit und eine Anordnung zum Durchführen des Verfahrens.

In digitalen Nachrichtennetzen wird die Netzsynchronisierung nach dem Master-Slave-Verfahren angewendet (P. Bocker: ISDN, Springer-Verlag, 1986, Seite 191). Hierbei steuert ein Taktgeber als Master direkt oder über Zwischenstufen alle Vermittlungsstellen. Diese Vermittlungsstellen sind auch für die Synchronisation angeschlossener Nebenstellennetze und Nebenstellenanlagen zuständig. Das heißt, die vom Netz, z. B. dem ISDN-Netz, angebotenen Takte werden von der angeschlossenen Telekommunikations-Anlage synchron in die benötigten Takte umgesetzt. Schnelle Schwankungen, Phasenjitter, und/oder langsame Schwankungen, Phasenwander der Eingangssignale, sind beim Auftreten im entsprechenden Umfang zu reduzieren.

Für Taktgeneratoren von Vermittlungseinrichtungen ist bekannt, externe Eingangsfrequenzen für deren Synchronisierung zu verwenden (US 4 672 299, US 4 598 257). Dabei werden auch mikroprozessor-gesteuerte digitale Phasenregelkreise verwendet, um Phasenzeitschwankungen gering zu halten (telcom report 9, 1986, Heft 4, Seiten 263 bis 269). Bei diesen Anordnungen ist jedoch keine Gewähr für gleichbleibenden Ausgangsfrequenzen bei Ausfall der Eingangsfrequenzen gegeben.

Der Erfindung lag die Aufgabe zugrunde, für einen Taktgenerator ein Verfahren zum Synchronisieren der Ausgangsfrequenzen auf externe Eingangsfrequenzen aufzuzeigen, das eine Phasenjitter-Reduktion und eine Phasenwander-Erkennung umfaßt, sowie die Überbrückung von Ausfällen der angebotenen Takte in entsprechendem Umfang garantiert. Die Herstellung eines Taktgenerators soll den Einsatz wirtschaftlicher Bauelemente sowie eine weitgehende Integration dieser Bauelemente gestatten.

Diese Aufgabe ist durch die Merkmalskombination gelöst: Ein Frequenzgenerator (FGEN) legt eine relativ ungenaue Arbeitsfrequenz (FWORK) an einen Frequenzsynthesizer (FSYN), an einen Frequenzbewerter (FB) und an einen digitalen Phasenregelkreis (DPLL). Der Frequenzsynthesizer (FSYN) bewertet zusammen mit dem digitalen Phasenregelkreis (DPLL) und einem steuernden Mikroprozessor die Arbeitsfrequenz (FWORK) im Vergleich zu genauen Eingangsfrequenzen (FE), wobei die externen Eingangsfrequenzen (FE) in eine Normfrequenz (FNOR) umgewandelt werden und die vom digitalen Phasenregelkreis (DPLL) ausgegebene Signalfrequenz (SIP) synchron zur Normfrequenz (FNOR) geregelt wird und ein Frequenzteiler (FT) erzeugt die systeminternen Ausgangsfrequenzen (FA), wobei ein vorgeschalteter analoger Phasenregelkreis (APLL) Korrekturen an der Signalfrequenz (SIP) vornimmt, die dem Verhindern von Zeitsprüngen der Ausgangsfrequenzen (FA) dienen.

Der Vorteil eines derartigen Taktgenerators ist die Verwendung kostengünstiger Quarz-Oszillatoren mit geringen Genauigkeitsanforderungen, ein geringer Raumbedarf durch die Möglichkeit der Integration großer Teile der Schaltungsanordnung auf einen Baustein und die Nutzung eines vorhandenen Mikroprozessors der Anlage, der nur gering belastet wird. Ferner kann durch einen externen Schaltkreis eine Rückmeldung zur

Wander-Bewertung der Eingangsfrequenz ermöglicht werden.

Weitere vorteilhafte Maßnahmen sind Gegenstand der Unteransprüche.

Die Erfindung wird nachfolgend anhand einer aus drei Figuren bestehenden Zeichnung näher erläutert. Darin zeigen die

Fig. 1 das Blockschaltbild eines Taktgenerators, die

Fig. 2 das Beispiel der Integration von Teilen des Taktgenerators und die

Fig. 3 das Ablaufdiagramm für den Taktgenerator.

Der Taktgenerator nach Fig. 1 setzt sich aus einem Frequenzgenerator FGEN, einem Frequenzbewerter FB, einem digitalen Phasenregelkreis DPLL, einem analogen Phasenregelkreis APLL, einem Frequenzsynthesizer FSYN und einem Frequenzteiler FT zusammen. Der Taktgenerator erzeugt mehrere zu einer Eingangsfrequenz FE hoher Genauigkeit synchrone, jitterreduzierte Ausgangsfrequenzen FA.

Die Einstellung des Taktgenerators wird über einen in z. B. einer Telekommunikations-Anlage vorhandenen Mikroprozessor gesteuert, von dem in den Fig. 1 bis 3 nur die Meldungseingänge bzw. Meldungsausgänge angedeutet sind.

Der Frequenzgenerator FGEN dient dem Erzeugen einer Arbeitsfrequenz FWORK mit einer relativ ungenauen Frequenz, zum Beispiel typisch  $32 \text{ MHz} \pm 100 \text{ ppm}$ . Diese Arbeitsfrequenz FWORK ist die Grundfrequenz für die gesamte Taktgenerator-Schaltung. Sie wird an den Frequenzbewerter FB, den Frequenzsynthesizer FSYN und den digitalen Phasenregelkreis DPLL gelegt. Für die Anwendung kostengünstiger Quarzoszillatoren sind lediglich deren Kurzzeitalterung und Temperaturverhalten von Bedeutung.

Der Frequenzsynthesizer FSYN ist mit dem digitalen Phasenregelkreis DPLL und dem steuernden Mikroprozessor z. B. der Telekommunikations-Anlage verbunden. Der Frequenzsynthesizer FSYN ermittelt unter Berücksichtigung der Frequenzgenauigkeit der Arbeitsfrequenz FWORK die Korrekturwerte für den digitalen Phasenregelkreis DPLL. Die Information über diese Korrekturwerte wird z. B. vom Mikroprozessor der Telekommunikations-Anlage als Initialisierungswert für den Frequenzsynthesizer FSYN abrufbar gespeichert.

Fällt die Eingangsfrequenz FE aus, oder wird z. B. die Telekommunikations-Anlage initialisiert, wird über den Mikroprozessor MP der zuletzt abgespeicherte Wert in den Frequenzsynthesizer FSYN geladen. Dieses Vorgehen gewährleistet, daß die zuvor erreichte Genauigkeit der Ausgangsfrequenz FA ohne Frequenz- und Phasensprung vom Taktgenerator gehalten wird.

Der einstellbare Frequenzbewerter FB prüft die Eingangsfrequenz FE bei jeder Neuanschaltung eines anderen Taktes auf die Einhaltung der Frequenzgrenzen über einen bestimmten Zeitraum, beispielsweise 2 ms, und normiert für die weitere Bearbeitung die Eingangsfrequenz FE auf eine Normfrequenz FNOR, beispielsweise 8 kHz. Durch die Einführung einer Normfrequenz FNOR ist der Taktgenerator unabhängig von der jeweils angebotenen Eingangsfrequenz FE, z. B. typisch  $\text{CLKE1} = 1,536 \text{ MHz}$  oder  $\text{CLKE2} = 2,048 \text{ MHz}$ .

Die für den Taktgenerator gültigen Bereiche der Eingangsfrequenzen FE werden durch den Mikroprozessor der z. B. Telekommunikations-Anlage vorgegeben und im Frequenzbewerter FB programmiert.

Der digitale Phasenregelkreis DPLL regelt seine ausgegebene Signalfrequenz SIP derart, daß sie immer synchron der Normfrequenz FNOR ist. Damit wird der

Phasenjitter der Eingangsfrequenz FE reduziert. Die Veränderung der Signalfrequenz SIP des digitalen Phasenregelkreises DPLL wird durch Einfügen oder Weglassen von Impulsen des Ausgangsbitstromes erreicht. Hierzu werden die Informationen des Frequenzsynthesizers FSYN und die des digitalen Phasenregelkreises DPLL zusammengefaßt und zum Steuern des Bitstromes verwendet. Die Filtereigenschaften und der Fang- bzw. Haltebereich des digitalen Phasenregelkreises DPLL sind durch den Mikroprozessor der z. B. Telekommunikations-Anlage programmierbar.

Der analoge Phasenregelkreis APLL dient dem Verhindern von Zeitsprüngen der Ausgangsfrequenzen FA durch Korrekturen an der Signalfrequenz SIP des digitalen Phasenregelkreises DPLL. Beim Einschalten des Taktgenerators nach einem Rücksetzen sorgt der analoge Phasenregelkreis APLL für eine Ausgangsfrequenz FA, solange der digitale Phasenregelkreis DPLL noch nicht betriebsbereit ist.

Der Frequenzteiler FT setzt die hohe Frequenz VCO des analogen Phasenregelkreises APLL in die systemintern benötigten Ausgangsfrequenzen FA um, z. B.  $CLKA1 = 2,048 \text{ MHz}$  und  $CLKA2 = 8,192 \text{ MHz}$ .

Wie der Fig. 2 entnehmbar ist, lassen sich in wirtschaftlicher Weise der Frequenzbewerter FB, der digitale Phasenregelkreis DPLL, der Frequenzsynthesizer FSYN und der Frequenzteiler FT zu einem Taktgenerator-Schaltkreis TG-ASIC integrieren.

Als Frequenzgenerator FGEN dient, wie bereits erwähnt, ein Quarz-Oszillator hoher Frequenz mit geringer Genauigkeit.

Als analoger Phasenregelkreis APLL wird ein kostengünstiger Standard-Schaltkreis eingesetzt.

Der Taktgeneraor-Schaltkreis TG-ASIC, der Frequenzgenerator FGEN und der analoge Phasenregelkreis APLL können auch in einem kundenspezifischen Baustein integriert werden.

In der Fig. 3 ist das Ablaufdiagramm des Taktgenerators dargestellt, aus dem dessen Funktion ersichtlich ist. Nach dem Rücksetzen in die Ausgangslage werden dem digitalen Phasenregelkreis DPLL die Filtereigenschaften und der Fang- bzw. Haltebereich vom Mikroprozessor MP übermittelt. Ebenso werden dem Frequenzsynthesizer FSYN die Informationen über die zuletzt erreichte Ausgangsfrequenz bzw. die Initialisierungswerte bei der Erstanschaltung mitgeteilt. Dann werden durch den Mikroprozessor MP dem Frequenzbewerter FB die gültigen Frequenzbereiche für die anliegenden Eingangsfrequenzen FE übermittelt. Nach dem Start durch den Mikroprozessors MP wird die Regelung, wie in der Fig. 3 dargestellt, vorgenommen. Dabei werden auch eine Wander-Bewertung der Eingangsfrequenz FE durch Ausnutzung einer Rückmeldung eines externen Schaltkreises berücksichtigt und ein Jitter reduziert.

Nach Erreichen des Synchronzustandes werden die Grenzen des Regelbereiches durch den Taktgenerator geprüft. Ein Ausfall der Eingangsfrequenz FE wird durch den Taktgenerator erkannt. Solange der Taktgenerator synchron ist, werden regelmäßig die aktuellen Einstellwerte durch den Mikroprozessor MP ausgelesen, um sie beim Neustart oder beim Ausfall der Eingangsfrequenz FE als neue Initialisierungswerte für den Frequenzsynthesizer FSYN zu verwenden.

externe Eingangsfrequenzen hoher Genauigkeit, dadurch gekennzeichnet, daß ein Frequenzgenerator (FGEN) eine relativ ungenaue Arbeitsfrequenz (FWORK) an einen Frequenzsynthesizer (FSYN), einen Frequenzbewerter (FB) und einen digitalen Phasenregelkreis (DPLL) legte daß der Frequenzsynthesizer (FSYN) zusammen mit dem digitalen Phasenregelkreis (DPLL) und einem steuernden Mikroprozessor die Arbeitsfrequenz (FWORK) im Vergleich zu genauen Eingangsfrequenzen (FE) bewertet, wobei die externen Eingangsfrequenzen (FE) in eine Normfrequenz (FNOR) umgewandelt werden und die vom digitalen Phasenregelkreis (DPLL) ausgegebene Signalfrequenz (SIP) synchron zur Normfrequenz (FNOR) geregelt wird, und daß ein Frequenzteiler (FT) die systeminternen Ausgangsfrequenzen (FA) erzeugt, wobei ein vorgeschalteter analoger Phasenregelkreis (APLL) Korrekturen an der Signalfrequenz (SIP) vornimmt, die dem Verhindern von Zeitsprüngen der Ausgangsfrequenzen (FA) dienen.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Steuerung des Taktgenerators ein beliebiger z. B. in einer Telekommunikations-Anlage vorhandener Mikroprozessor verwendet wird.

3. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß bei Ausfall der Eingangsfrequenz (FE) der Taktgenerator mittels der zuletzt durch den Frequenzsynthesizer (FSYN) ermittelten Werte die zuvor erreichte Genauigkeit der Ausgangsfrequenz (FA) ohne Frequenz- und Phasensprung beibehält.

4. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß die Arbeitsfrequenz (FWORK) von einem Quarzoszillator geringer Genauigkeit eines Frequenzgenerators (FGEN) erzeugt wird.

5. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß beim Umsetzen der Arbeitsfrequenz (FWORK) in eine genaue Frequenz die vom Frequenzsynthesizer (FSYN) ermittelten Korrekturwerte im verwendeten Mikroprozessor gespeichert werden.

6. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß der Frequenzbewerter (FB) bei Neueinschalten des Taktgenerators die Eingangsfrequenz (FE) während eines bestimmten Zeitraumes auf das Einhalten vorgegebener Frequenzgrenzen prüft.

7. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß zum Synchronisieren der Signalfrequenz (SIP) auf die Normfrequenz (FNOR) Informationen des Frequenzsynthesizers (FSYN) und des digitalen Phasenregelkreises (DPLL) zusammengefaßt und zum Steuern verwendet werden.

8. Anordnung zum Durchführen des Verfahrens nach Anspruch 1 bis 7, dadurch gekennzeichnet, daß der Frequenzsynthesizer (FSYN), der Frequenzbewerter (FB), der digitale Phasenregelkreis (DPLL) und der Frequenzteiler (FT) auf einen Taktgenerators Schaltkreis (TG-ASIC) integriert sind.

Hierzu 2 Seite(n) Zeichnungen

Patentansprüche

1. Verfahren zum Synchronisieren der Ausgangsfrequenzen eines Taktgenerators einer Anlage auf

- Leerseite -

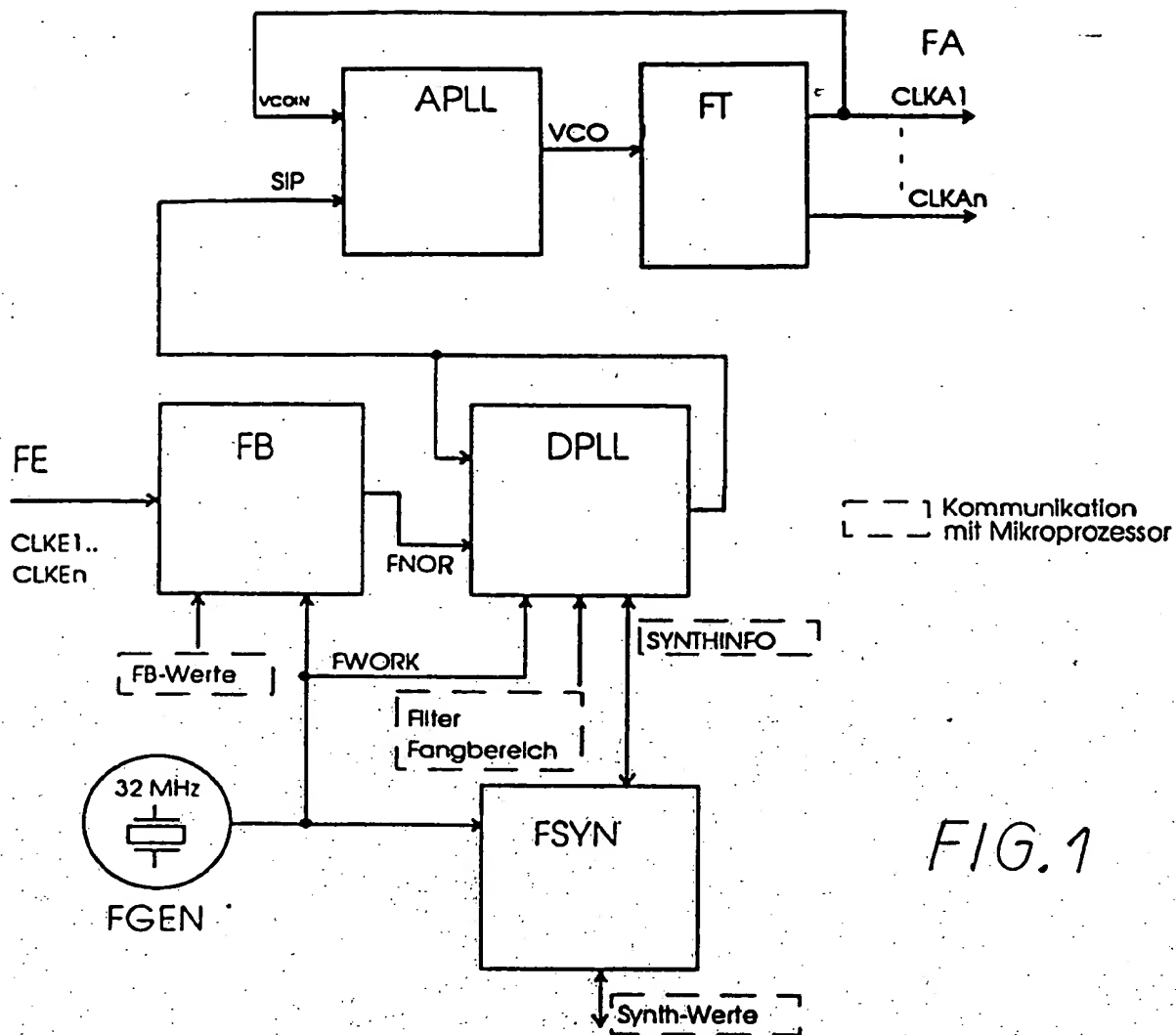


FIG. 1

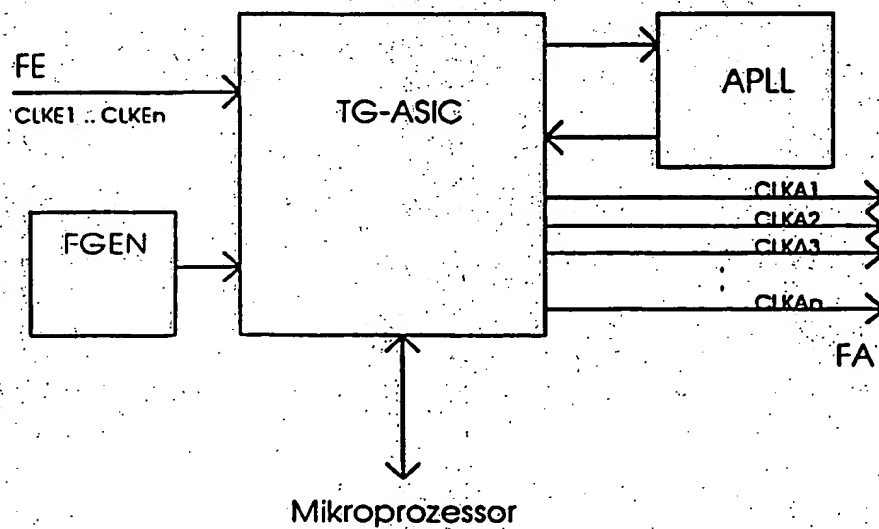


FIG. 2

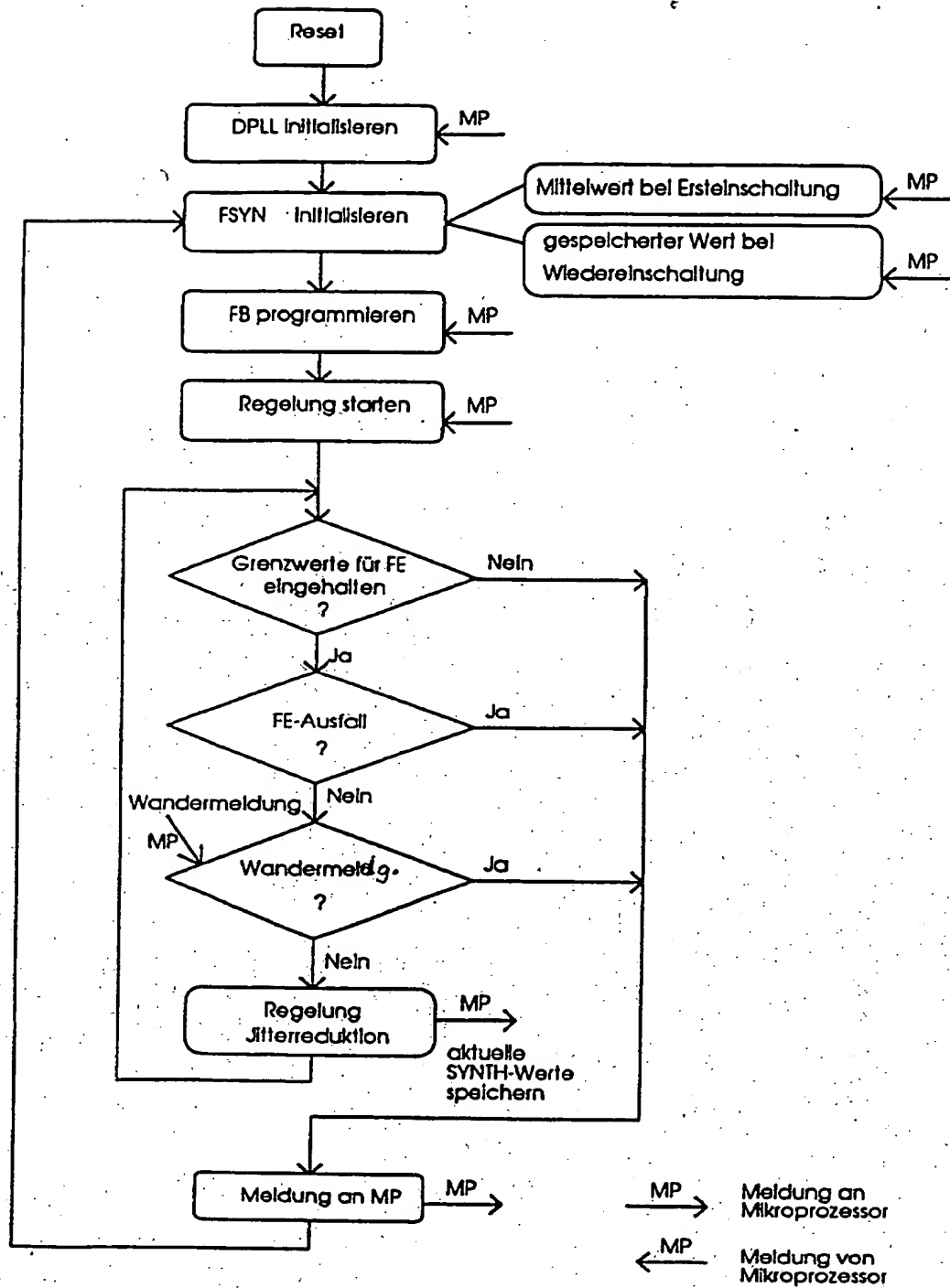


FIG. 3



(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03258046 A

(43) Date of publication of application: 18 . 11 . 91

(51) Int. Cl.

H04L 7/033

H04J 3/14

(21) Application number: 02054993

(22) Date of filing: 08 . 03 . 90

(71) Applicant: NEC CORP NEC MIYAGI LTD

(72) Inventor: SAKAMOTO MITSURU  
OKUMURA JUNJI

## (54) AIS TRANSMISSION CIRCUIT

## (57) Abstract:

**PURPOSE:** To use other clock to send an AIS signal when a PLL circuit of a channel has a fault by connecting a read clock of each channel at a receiver side in parallel with a selector of each channel at a low-order group of an asynchronous digital multiplexer.

**CONSTITUTION:** Receiver side read clocks 12<sub>1</sub>-12<sub>4</sub> for each channel selected by selectors 2<sub>1</sub>-2<sub>4</sub> are respectively inputted to receiver buffer memories 3<sub>1</sub>-3<sub>4</sub>. The selectors 2<sub>1</sub>-2<sub>4</sub> are subject to selection control by receiver side read signal interrupt signals 13<sub>1</sub>-13<sub>4</sub>. Thus, an AIS(Alarm Indication Signal) signal is sent by using a read clock of other PLL circuit when any of PLL circuits 1<sub>1</sub>-1<sub>4</sub> has a fault in a channel through the provision of the selectors 2<sub>1</sub>-2<sub>4</sub> connecting in parallel with each channel of outputs of the PLL circuits, 1<sub>1</sub>-1<sub>4</sub> of each channel of a receiver side of a low order.

COPYRIGHT: (C)1991,JPO&amp;Japio

